**Załącznik nr 3 do SWZ - Opis Przedmiotu Zamówienia**

PRZEDMIOT ZAMÓWIENIA: Przedmiotem niniejszej Umowy jest **Dostawa dziewięciu sztuk zestawów ewaluacyjnych ISE PW., nr WEiTI/ 58 /ZP/2022/1033**

1. - miejsce dostawy: *Politechnika Warszawska, WEiTI, Instytut Systemów Elektronicznych*

*Ul. Nowowiejska 15/19, 00-665 Warszawa, pok. 212.*

1. WYMAGANIA DOTYCZĄCE PRZEDMIOTU ZAMÓWIENIA:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***Lp.*** | ***Parametr techniczny*** | ***Wymagany przez Zamawiającego*** |  |  |
| ***Zestawy ewaluacyjne RFSoC*** | | |  |  |
|  | **Zestaw ewaluacyjny z układem RFSoC** o cechach, parametrach i wyposażeniu opisanych w punktach poniżej | * Ilość: 9 szt. * Wymagany minimalny okres gwarancji (dotyczy wszystkich elementów składowych): co najmniej 90 dni | TAK / NIE |  |
| 1 | **Zestaw ewaluacyjny ZCU 111 z układami scalonymi Zynq UltraScale+ RFSoC** | * Liczba kanałów wyjściowych - 8 * Liczba kanałów wejściowych – 8 * Rozdzielczość bitowa przetworników ADC [b] – 12 * Rozdzielczość bitowa przetworników DAC [b] – 14 * Częstotliwość próbkowania ADC [MHz] – 4096 * Częstotliwość próbkowania DAC [MHz] – 6554 * Pamięć w układzie FPGA (PL) (URAM + BRAM) [Mb] – 60,5 * Liczba komórek logicznych (SLC) – 930 000 * Liczba przerzutników CLB Flip-Flop – 850 000 * Liczba tablic CLB LUT – 425 000 * Liczba bloków mnożących DSP (27bx18b) – 4272 * Liczba transceiverów (GTY) – 16 * Maksymalna prędkość transceiverów [Gb/s] - 32,75 * Liczba złącz SFP28 – 4 * Liczba złącz LAN RJ-45 - 1 * Dostępna pamięć DDR4 dla FPGA (PL) [GB] – 4 * Dostępna pamięć DDR4 dla ARM (PS) [GB] – 4 * Transfer pamięci DDR4 dla FPGA (PL) [MT/s] – 2666 * Transfer pamięci DDR4 dla ARM (PS) [MT/s] – 2400 * Liczba pamięci QSPI -2 * Typ pamięci QSPI – NOR FLASH * Całkowity rozmiar pamięci QSPI [Gb] – 4 * Dostępny na płycie generator sygnałów zegarowych dla FPGA (PL) – Tak * Liczba generowanych sygnałów zegarowych dla FPGA (PL) – 6 * Programowalny generator sygnałów zegarowych dla RFDC z buforowaniem (ADC i DAC) – Tak * Możliwość podłączenia zewnętrznego sygn. referencyjnego dla generatora RFDC – Tak * Mechanizmy komunikacji z urządzeniem – USB UART/JTAG * Mechanizmy programowania urządzenia – USB JTAG/ USB QSPI FLASH * Mechanizmy bootowania urządzenia – SD Boot/ QSPI Boot/ JTAG Boot * Zasilacz i kabel zasilający |  |  |